

# SYSTÈME DOMOTIQUE

Nom : .....
Prénoms : .....
.....
N° d'anonymat : .....
N° d'anonymat : .....

BEP des Métiers de l'électronique

SESSION 2002

## ÉPREUVE EP3

<i>Question</i>	<i>Barème</i>	<i>Question</i>	<i>Barème</i>
A	/ 26	C-2	/ 12
B	/ 12	C-3	/ 9
C-1	/ 14	D	/ 7
<b>TOTAL</b>	/ 80		/ 20

*Le candidat doit répondre directement sur ce document qui sera rendu dans son intégralité.  
Toute réponse doit être justifiée.  
La couleur rouge est interdite aux candidats.*

Ce dossier comprend 12 pages de questionnement, 2 documents réponse et 4 annexes.

**Coefficient : 4**

**Durée : 4 heures**

## A) ÉTUDE QUALITATIVE DE FP1 ( Unité de gestion, contrôle et surveillance.)

En cas d'intrusion le modem transmet l'information d'intrusion vers la ligne téléphonique.

Cette information est reçue par le microcontrôleur depuis la fonction FP4.

On propose de vérifier l'adressage du modem via le bus d'adresse et le transfert de l'information d'intrusion via le bus de données.

A-1) Délimiter sur le document réponse N°1 les fonctions secondaires appartenant à la fonction principale FP1.

A-2) Identifier et donner la référence et le nom des composants suivants: U1, U3 et U8.

U1 :

U3 :

U8 :

A-3) Donner le mode de fonctionnement du microcontrôleur lorsque l'entrée  $\overline{EA}$  est au niveau bas. ( $\overline{EA} = 0$ ). Document constructeur fourni en annexe 3.

A-4) A partir de la description fonctionnelle de la fonction secondaire FS 1.1, rappeler le rôle de celle-ci pour chacun des états logiques du signal ALE.

A-5) Donner la signification des symboles suivants relatifs à la norme NF C03-212 :

—□ EN	
▷	
▽	

A-6) Compléter le tableau de correspondance suivant :

Symboles document Constructeur 74HC373	Liaison sur le schéma structurel
$\overline{OE}$ (EN)	
LE (C1)	

A-7) A l'aide du document constructeur du circuit 74HC373 fourni en annexe 2.

A-7.1) Recopier la ligne de la table de vérité qui autorise la transmission des données vers le bus de donnée.

Inputs			outputs
$\overline{OE}$	LE	D	Q

A-7.2) Recopier les lignes de la table de vérité qui autorise la transmission de l'adresse basse vers le bus d'adresse.

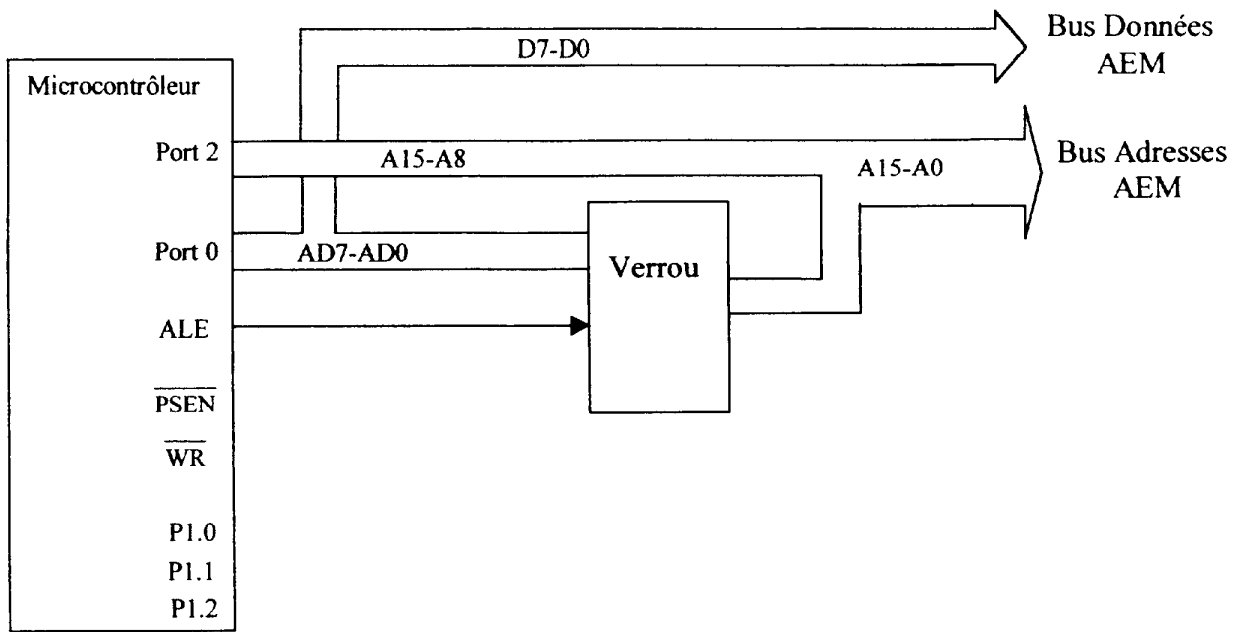
Inputs			outputs
$\overline{OE}$	LE	D	Q
		L	
		H	

A-8) Synthèse.

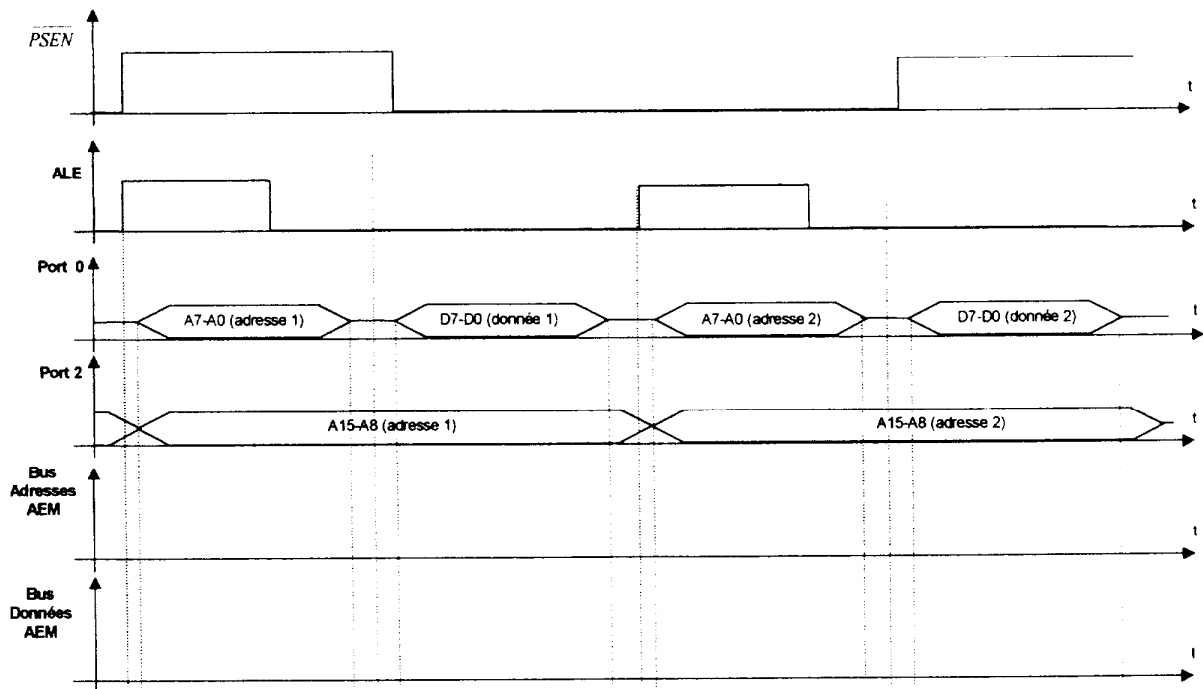
Le port P0 du microcontrôleur U1 permet de transmettre, soit un octet de donnée (D0 à D7), soit un octet de l'adresse basse (A0 à A7).

A-8.1) Lorsque ALE=1, que est le type d'information de l'octet issu du port P0 ?

A-8.2) Sur le dessin du synoptique ci-dessous, colorier le cheminement des informations issues du port P0 lorsque ALE=1.

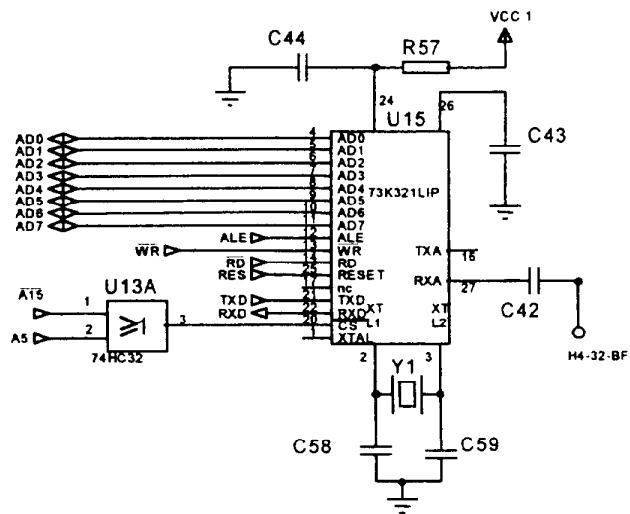


A-8.3) Compte tenu des signaux délivrés par le microcontrôleur, compléter les chronogrammes des signaux présents sur le bus AEM d'adresse et le bus AEM de données.



## B) ÉTUDE DE FS 3.7 : "Sélection du modem."

Soit la structure de FS 3.7 :



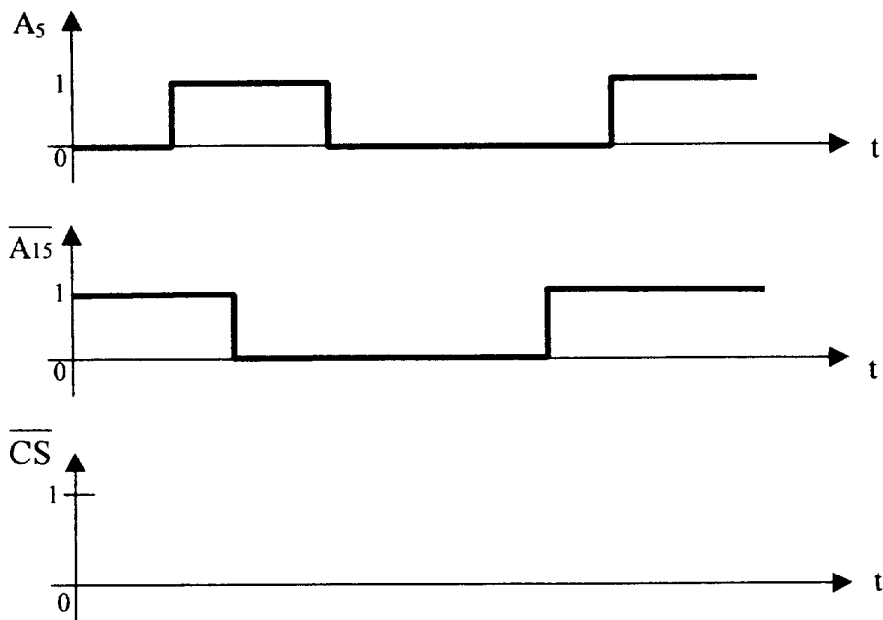
B-1) Rappeler le rôle de la fonction FS3.7

B-2) Donner le nom de la fonction logique réalisée par U13.A.

B-3) Écrire la table de vérité du circuit U13-A.

B-4) Quelle est le rôle de l'entrée  $\overline{CS}$  du circuit  $U_{15}$  et quel est son niveau logique actif :

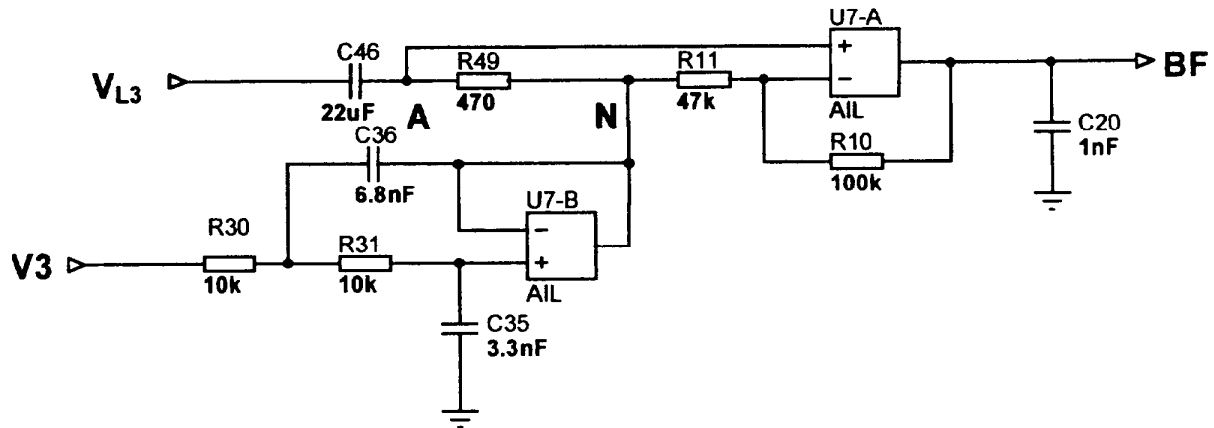
B-5) Compléter les chronogrammes suivants:



B-6) De quelle fonction secondaire sont issus les signaux  $A_5$  et  $\overline{A_{15}}$ .

## C) ÉTUDE DE LA FONCTION FS3.6

Le signal V3 est l'image de l'information d'intrusion. Il est issu du modem.  
Soit le schéma structurel de FS3.6 :



### Principe de fonctionnement

Cette fonction est composée d'un filtre passe-bas du second ordre et d'un amplificateur aiguilleur. Le filtre, appelé cellule de Sallen-key, est élaboré à partir de l'AIL U<sub>7-B</sub>, R<sub>30</sub>, R<sub>31</sub>, C<sub>35</sub> et C<sub>36</sub> et l'aiguilleur est élaboré à partir de U<sub>7-A</sub>, R<sub>10</sub>, R<sub>11</sub>, R<sub>49</sub>, C<sub>20</sub> et C<sub>46</sub>.

### Deux cas de figure peuvent se présenter :

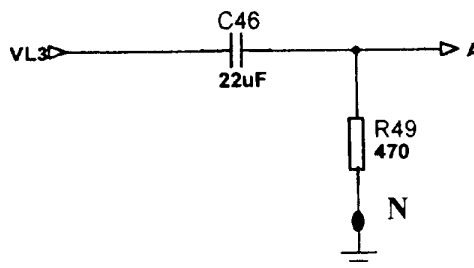
**1<sup>er</sup> cas :** les signaux viennent de la ligne téléphonique, la sortie de l'AIL U<sub>7-B</sub> n'est pas active (V<sub>N</sub> = 5V), l'amplificateur aiguilleur possède un gain de 10dB ( $G = 20 \cdot \log \frac{V_{BF}}{V_{L3}}$ ).

**2<sup>ème</sup> cas :** les signaux sont produits par la centrale, via le modem ou d'une autre source. Les signaux sont filtrés. Le condensateur C<sub>46</sub> supprime la composante continue. La composante variable du signal BF est presque nulle (50mV).

**Étude du 1<sup>er</sup> cas :** Les signaux viennent de la ligne "L3". La sortie de l'AIL U<sub>7-B</sub> n'est pas active. V<sub>N</sub> = 5V continue.

**C-1) Étude de la cellule R<sub>49</sub>, C<sub>46</sub>.** En régime dynamique, on ne tient pas compte de la d.d.p continue V<sub>N</sub>.

$$|T| = \frac{1}{\sqrt{1 + \left(\frac{1}{RC\omega}\right)^2}}$$



C-1.1) Donner l'expression littérale de la fréquence de coupure notée  $f_c$  sachant que  $|T| = \frac{T_0}{\sqrt{2}}$

C-1.2) Calculer la valeur de  $f_c$ .

C-1.3) Ecrire le module de T sous la forme de  $|T| = \frac{1}{\sqrt{1 + \left(\frac{fc}{f}\right)^2}}$

C-1.4) Compléter le tableau suivant :

f	0	$f_c/10$	$f_c/5$	$f_c/2$	$f_c$	$2f_c$	$5f_c$	$10f_c$
$ T $								
G en dB								



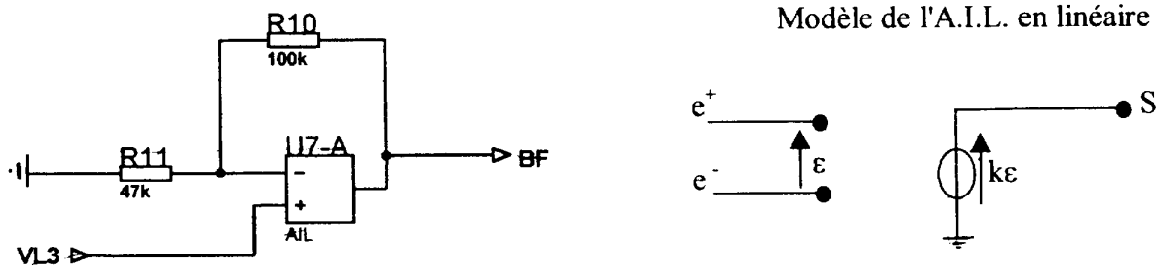
C-1.5) Tracer sur le document réponse N°2 la réponse en fréquence du gain en décibels.

C-1.6) Synthèse :

a) Quelle est la nature du filtre.

b) Compte tenu de la valeur de la fréquence de coupure, Justifier le rôle de ce filtre.

C-2) Étude en régime dynamique de la structure câblée autour de U<sub>7A</sub>:



C-2.1) Donner le nom de la structure.

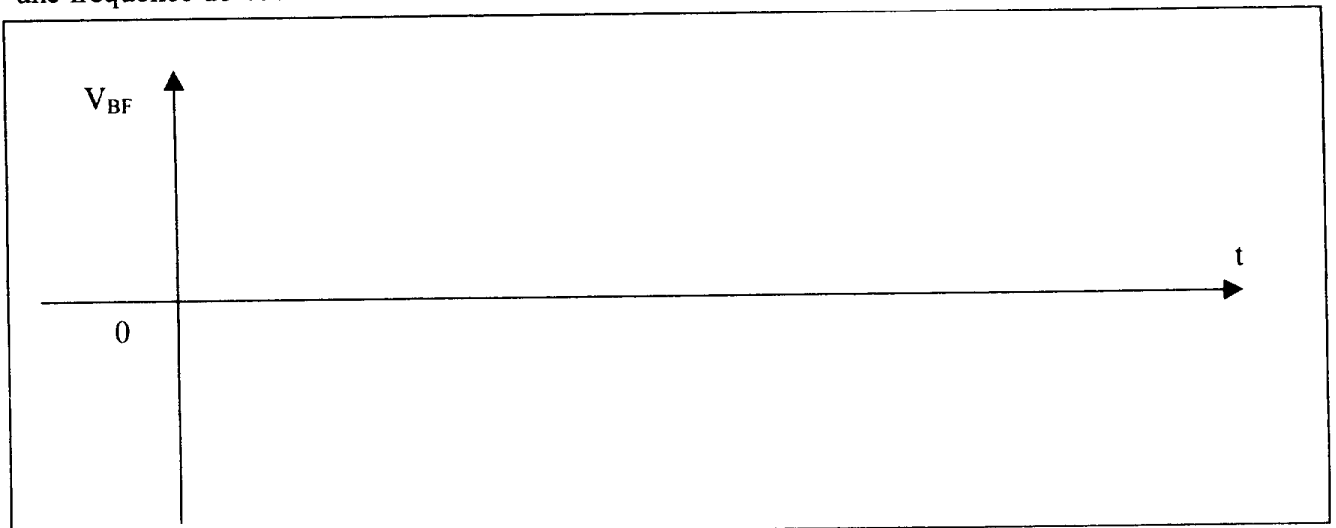
C-2.2) Modéliser le schéma ci-dessus.

C-2.3) D duire l'expression litt rale du coefficient d'amplification not   $A_v = \frac{V_{BF}}{V_{L3}}$ .

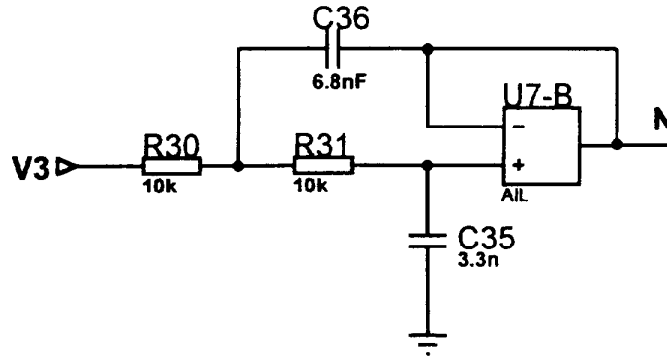
C-2.4) Calculer le coefficient d'amplification  $A_v$ .

C-2.5) D duire le gain en d cibel (dB) de l'amplificateur.

C-2.6) Tracer la d.d.p.  $V_{BF}$  sachant que la d.d.p. sinuso dale  $V_{L3}$  a une amplitude de 1.3V et une fr quence de 400Hz.



**C-3) Étude de la structure réalisée autour de U<sub>7B</sub>. cette structure est un filtre du 2<sup>ème</sup> ordre.**



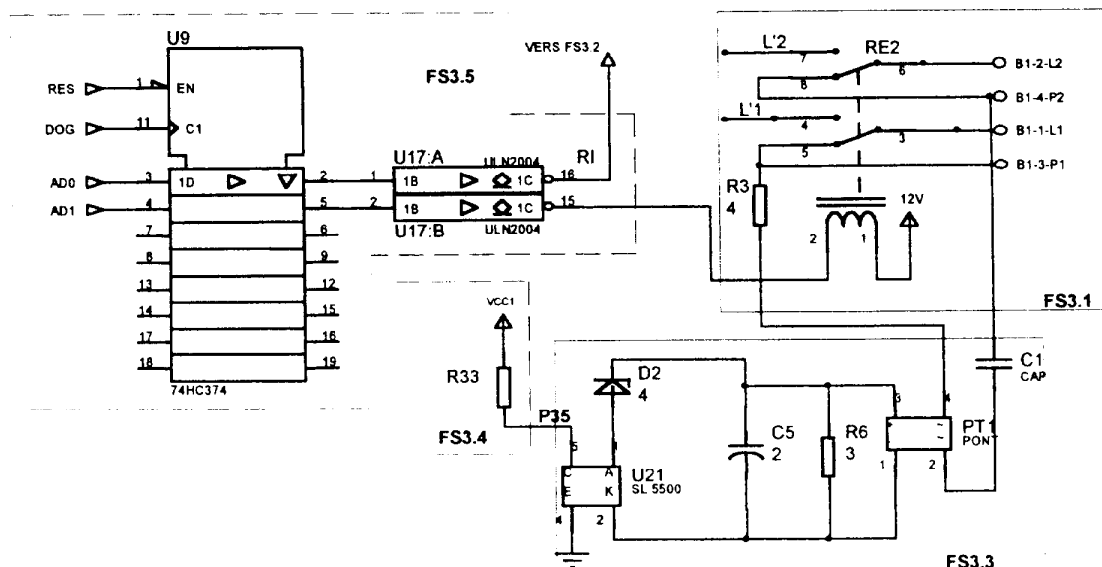
C-3.1) A l'aide de la courbe de réponse en fréquence relever la fréquence de coupure à -3dB.  
Document fourni en annexe 1.

C-3.2) Déterminer graphiquement la pente en dB/décade et en déduire l'ordre du filtre.

C-3.3) Déduire la nature du filtre.

## D) ÉTUDE DE LA FONCTION FS3.1 ET FS3.5

Afin que la centrale puisse transmettre l'information d'intrusion à la société de surveillance,



D-1) Dans la configuration suivante :

L'2 est connectée à L2 ;  
L'1 est connectée à L1.

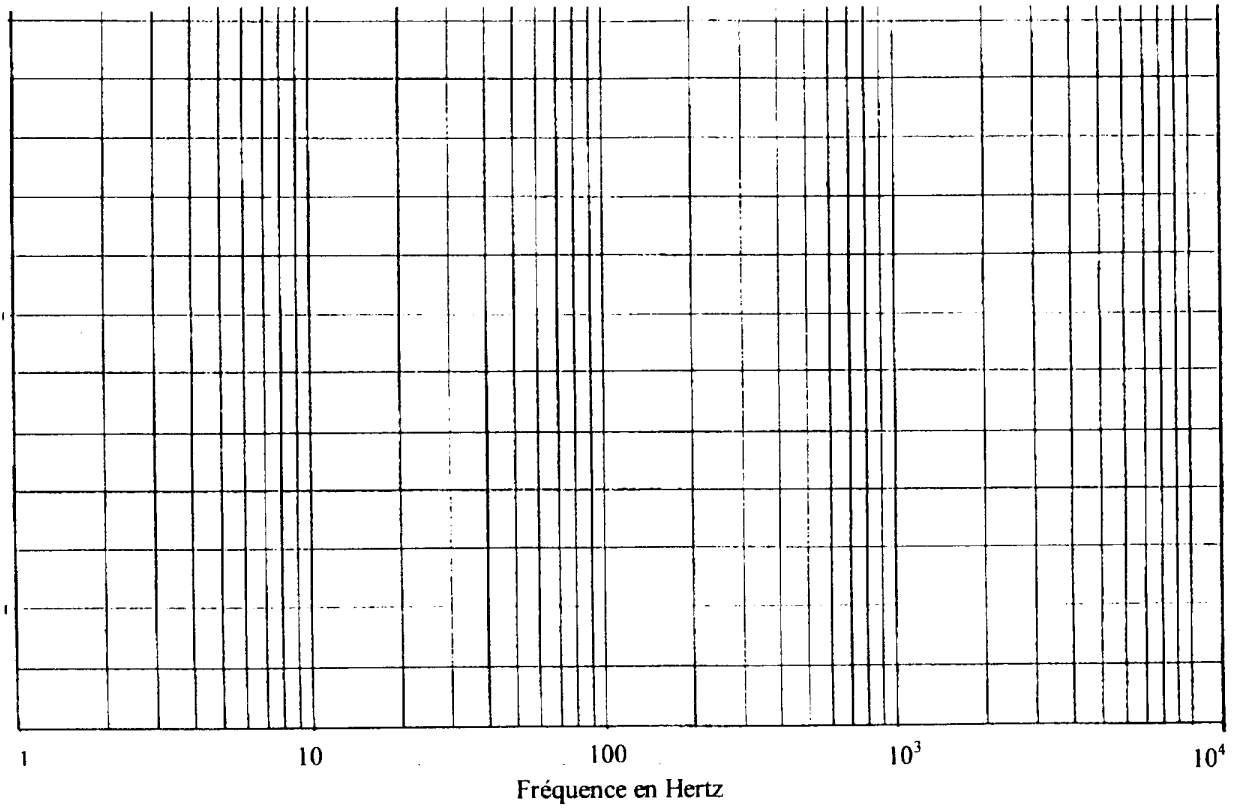
Indiquer l'état électrique de la bobine du relais RE<sub>2</sub>.

D-2) Quel doit être l'état logique de la sortie du composant U<sub>17-B</sub> pour que le relais soit alimenté.

D-3) Dessiner alors le schéma équivalent de la sortie du circuit U<sub>17-B</sub> et de la bobine du relais RE<sub>2</sub>, dans le cas où celui-ci est alimenté.

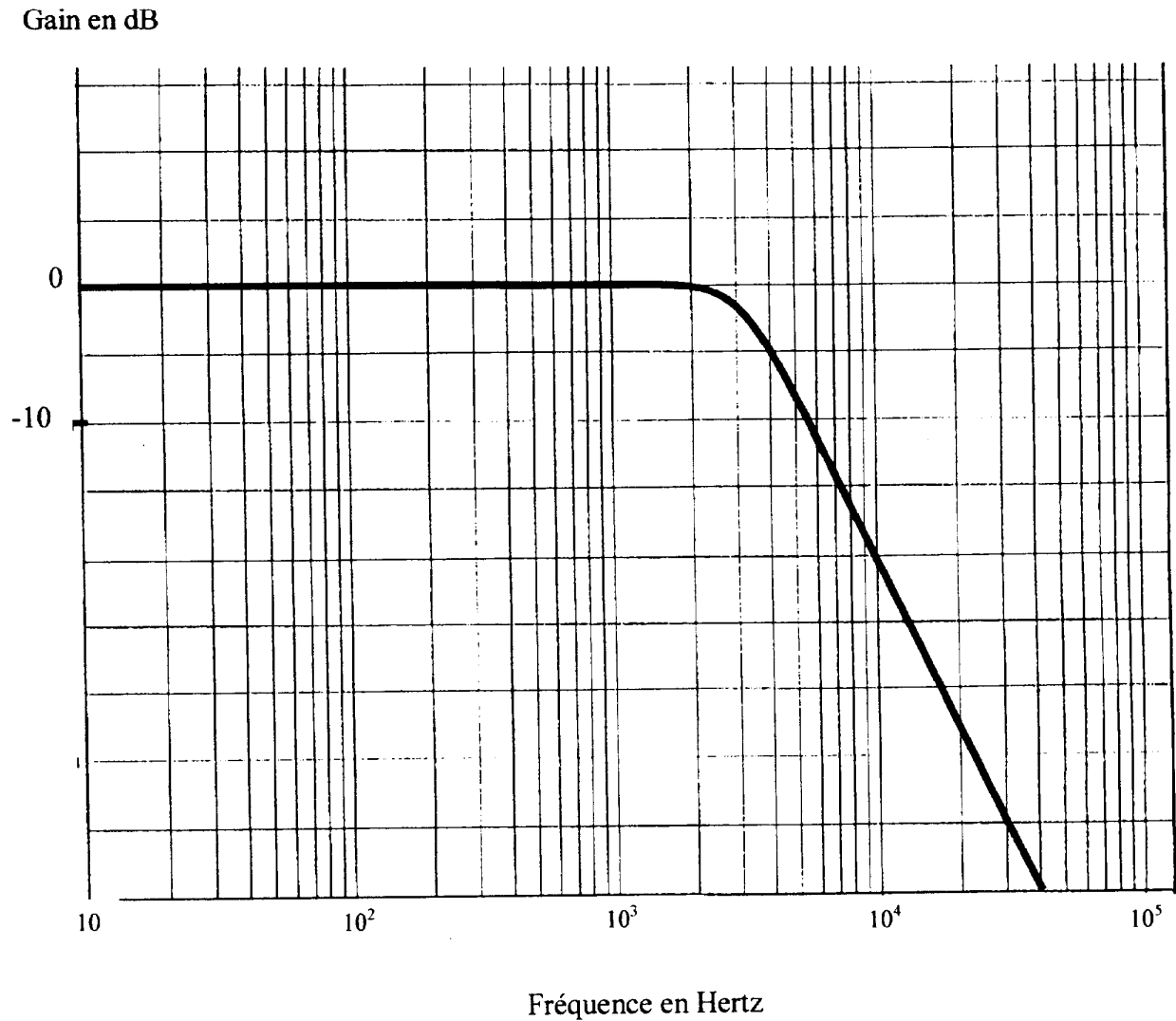
*Document réponse N°2*

Gain en dB



*Annexe 1*

*Courbe de réponse en fréquence du filtre réalisé autour de U<sub>7-B</sub>.*

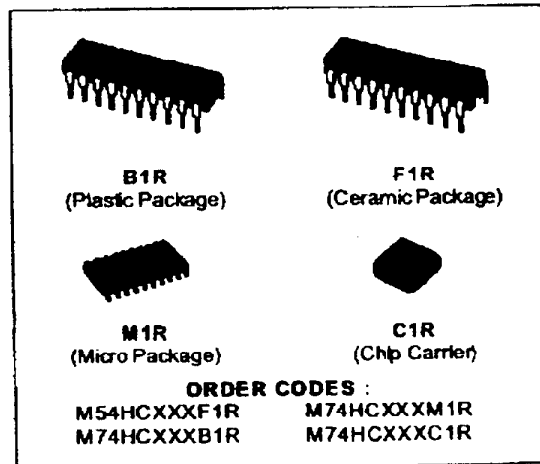




**M54/74HC373**  
**M54/74HC533**

**OCTAL D-TYPE LATCH WITH 3 STATE OUTPUT**  
**HC373 NON INVERTING - HC533 INVERTING**

- HIGH SPEED  
t<sub>PD</sub> = 11 ns (TYP.) AT V<sub>CC</sub> = 5 V
- LOW POWER DISSIPATION  
I<sub>CC</sub> = 4 µA (MAX.) AT T<sub>A</sub> = 25 °C
- HIGH NOISE IMMUNITY  
V<sub>NIH</sub> = V<sub>NIL</sub> = 28 % V<sub>CC</sub> (MIN.)
- OUTPUT DRIVE CAPABILITY  
15 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
I<sub>OL</sub> = |I<sub>OH</sub>| = 6 mA (MIN.)
- BALANCED PROPAGATION DELAYS  
t<sub>PLH</sub> = t<sub>PHL</sub>
- WIDE OPERATING VOLTAGE RANGE  
V<sub>CC</sub> (OPR) = 2 V TO 6 V
- PIN AND FUNCTION COMPATIBLE  
WITH 54/74LS373/533



**DESCRIPTION**

The M54/74HC373/533 are high speed CMOS OCTAL LATCH WITH 3-STATE OUTPUTS fabricated with in silicon gate C<sup>2</sup>MOS technology.

These ICs achieve the high speed operation similar to equivalent LSTTL while maintaining the CMOS low power dissipation.

These 8 bit D-Type latches are controlled by a latch enable input (LE) and a output enable input (OE).

While the LE input is held at a high level, the Q outputs will follow the data input precisely or inversely. When the LE is taken low, the Q outputs will be latched precisely or inversely at the logic level

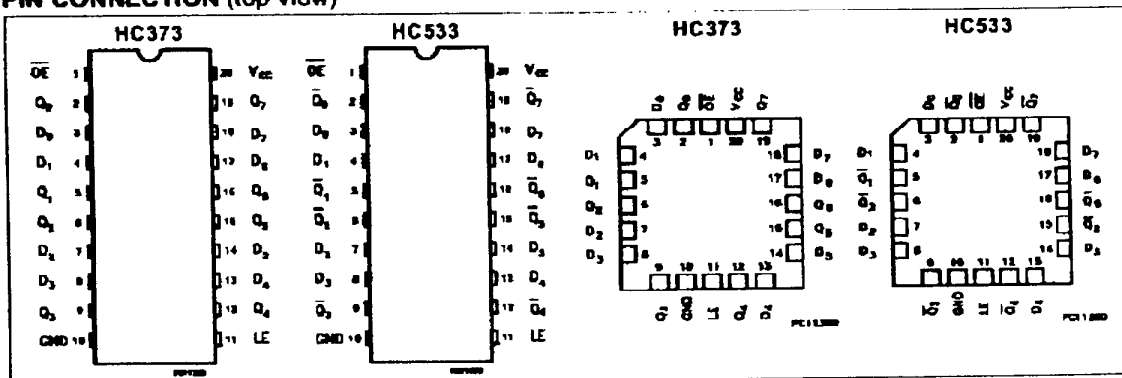
of D input data. While the OE input is at low level, the eight outputs will be in a normal logic state (high or low logic level) and while high level the outputs will be in a high impedance state.

The application designer has a choice of combination of inverting and non inverting outputs.

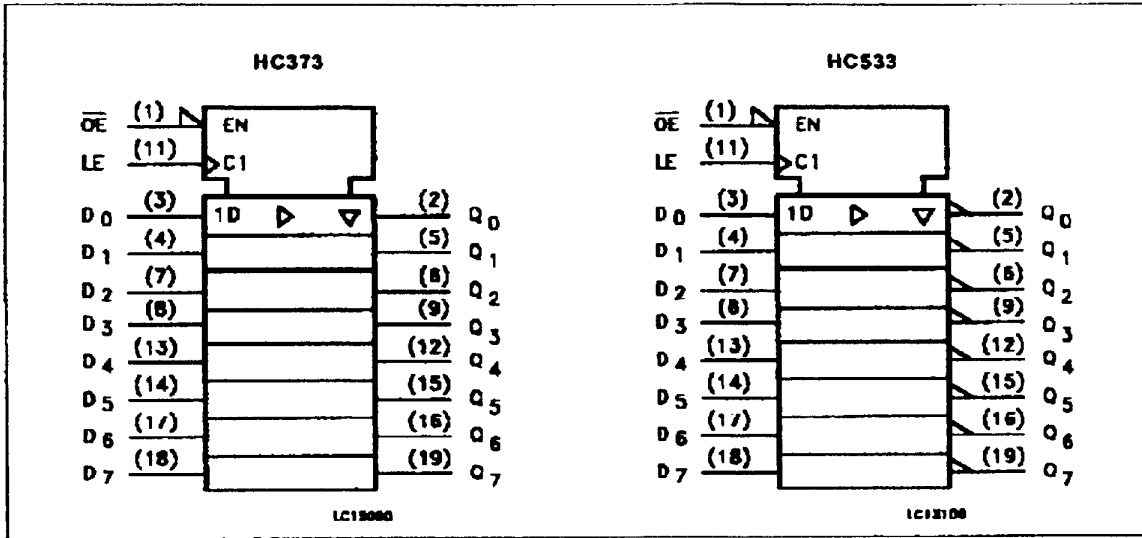
The three state output configuration and the wide choice of outline make bus organized system simple.

All inputs are equipped with protection circuits against discharge and transient excess voltage.

**PIN CONNECTION (top view)**



IEC LOGIC SYMBOLS



TRUTH TABLE

INPUTS			OUTPUTS	
OE	LE	D	Q (HC373)	Q (HC533)
H	X	X	Z	Z
L	L	X	NO CHANGE *	NO CHANGE *
L	H	L	L	H
L	H	H	H	L

X: DON'T CARE

Z: HIGH IMPEDANCE

\*: Q/Q OUTPUTS ARE LATCHED AT THE TIME WHEN THE LE INPUT IS TAKEN LOW LOGIC LEVEL.



## CMOS single-chip 8-bit microcontrollers

## 80C32/80C52/87C52

## DESCRIPTION

The Philips 80C32/80C52/87C52 is a high-performance microcontroller fabricated with Philips high-density CMOS technology. The CMOS 8XC52 is functionally compatible with the NMOS SCN-8032/8052 microcontrollers. The Philips CMOS technology combines the high speed and density characteristics of HMOS with the low power attributes of CMOS. Philips epitaxial substrate minimizes latch-up sensitivity.

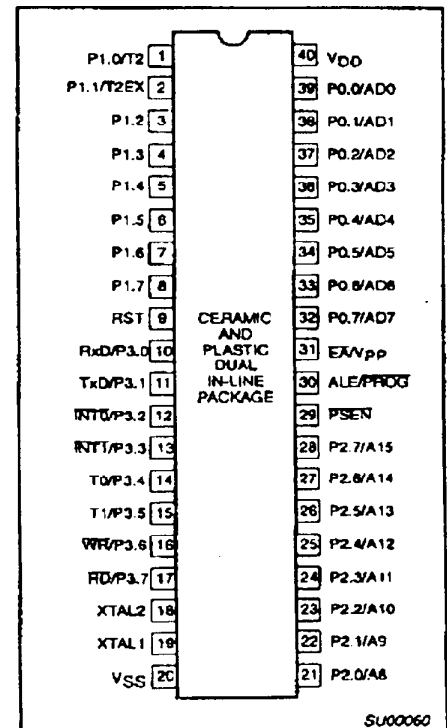
The 8XC52 contains an 8k x 8 ROM (80C52) EPROM (87C52), a 256 x 8 RAM, 32 I/O lines, three 16-bit counter/timers, a six-source, two-priority level nested interrupt structure, a serial I/O port for either multi-processor communications, I/O expansion or full duplex UART, and on-chip oscillator and clock circuits.

In addition, the 8XC52 has two software selectable modes of power reduction—Idle mode and power-down mode. The Idle mode freezes the CPU while allowing the RAM, timers, serial port, and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to be inoperative.

## FEATURES

- 80C51 based architecture
- 8032/8052 compatible
  - 8k x 8 ROM (80C52)
  - 8k x 8 EPROM (87C52)
  - ROMless (80C32)
  - 256 x 8 RAM
  - Three 16-bit counter/timers
  - Full duplex serial channel
  - Boolean processor
- Memory addressing capability
  - 64k ROM and 64k RAM
- Power control modes:
  - Idle mode
  - Power-down mode
- CMOS and TTL compatible
- Two speed ranges:
  - 3.5 to 16MHz
  - 3.5 to 24MHz
- Five package styles
- Extended temperature ranges
- OTP package available

## PIN CONFIGURATIONS



## ORDERING INFORMATION

ROMless	ROM	EPROM <sup>1</sup>		TEMPERATURE RANGE °C AND PACKAGE	FREQ MHz	DRAWING NUMBER
P80C32EBP N	P80C52EBP N	P87C52EBP N	OTP	0 to +70, Plastic Dual In-line Package	16	SOT129-1
P80C32EBA A	P80C52EBA A	P87C52EBA A	OTP	0 to +70, Plastic Leaded Chip Carrier	16	0403G
		P87C52EBF FA	UV	0 to +70, Ceramic Dual In-line Package	16	0590B
		P87C52EBL KA	UV	0 to +70, Ceramic Leaded Chip Carrier	16	1472A
P80C32EBB B	P80C52EBB B	P87C52EBB B	OTP	0 to +70, Plastic Quad Flat Pack	16	SOT307-2
P80C32EFP N	P80C52EFP N	P87C52EFP N	OTP	-40 to +85, Plastic Dual In-line Package	16	SOT129-1
P80C32EFA A	P80C52EFA A	P87C52EFA A	OTP	-40 to +85, Plastic Leaded Chip Carrier	16	0403G
		P87C52EFF FA	UV	-40 to +85, Ceramic Dual In-line Package	16	0590B
		P87C52EFL KA	UV	-40 to +85, Ceramic Leaded Chip Carrier	16	1472A
P80C32EFB B	P80C52EFB B	P87C52EFB B	OTP	-40 to +85, Plastic Quad Flat Pack	16	SOT307-2
P80C32IBP N	P80C52IBP N	P87C52IBP N	OTP	0 to +70, Plastic Dual In-line Package	24	SOT129-1
P80C32IBA A	P80C52IBA A	P87C52IBA A	OTP	0 to +70, Plastic Leaded Chip Carrier	24	0403G
		P87C52IBF FA	UV	0 to +70, Ceramic Dual In-line Package	24	0590B
		P87C52IBL KA	UV	0 to +70, Ceramic Leaded Chip Carrier	24	1472A
P80C32IFP N	P80C52IFP N	P87C52IFP N	OTP	-40 to +85, Plastic Dual In-line Package	24	SOT129-1
P80C32IFA A	P80C52IFA A	P87C52IFA A	OTP	-40 to +85, Plastic Leaded Chip Carrier	24	0403G
		P87C52IFF FA	UV	-40 to +85, Ceramic Dual In-line Package	24	0590B
		P87C52IFL KA	UV	-40 to +85, Ceramic Leaded Chip Carrier	24	1472A

NOTE:

1. OTP = One Time Programmable EPROM. UV = UV erasable EPROM

CMOS single-chip 8-bit microcontrollers

80C32/80C52/87C52

PINNING

1-8	P1.0-P1.7	Port 1: 8-bit quasi-bidirectional I/O port. It receives the low-order address byte during program verification. Port 1 can sink/source four LS TTL (= 1TTL) inputs. It can drive MOS inputs without external pull-ups. Pins 1 and 2 also supply alternative functions T2 and T2EX. T2 is the counter trigger input for Timer 2; T2EX the external input to Timer 2. Operation of the alternative functions is determined by the relevant output latch programmed to logic 1.
9		RESET: a high level on this pin for two machine cycles while the oscillator is running resets the device. An internal pulldown permits Power-On reset using only a capacitor connected to V <sub>CC</sub> (see Fig. 18).
10-17	P3.0-P3.7	Port 3: 8-bit quasi-bidirectional I/O port with internal pull-ups. It also serves the following alternative functions: <i>Port pin</i> <i>Alternative function</i> P3.0      RXD/data: serial port receiver data input (asynchronous) or data input/output (synchronous) P3.1      TXD/clock: serial port transmitter data output (asynchronous) or clock output (synchronous) P3.2      INT0: external interrupt 0 or gate control input for timer/event counter 0 P3.3      INT1: external interrupt 1 or gate control input for timer/event counter 1 P3.4      T0: external input for timer/event counter 0 P3.5      T1: external input for timer/event counter 1 P3.6      WR: external data memory write strobe P3.7      RD: external data memory read strobe Operation of an alternative function is determined by the relevant output latch programmed to logic 1. Port 3 can sink/source four LS TTL inputs. It can drive MOS inputs without external pull-ups.
18	XTAL 2	Crystal input 2: output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. Receives the external oscillator signal when an external oscillator is used (see figures 15 and 16).
19	XTAL 1	Crystal input 1: input to the inverting amplifier that forms the oscillator. Connected to V <sub>SS</sub> when an external oscillator is used.
20	V <sub>SS</sub>	Ground: circuit earth potential.
21-28	P2.0-P2.7	Port 2: 8-bit quasi-bidirectional I/O port with internal pull-ups. It emits the high-order address byte when accessing external memory. It also receives the high-order address bits and control signals during program verification. Port 2 can sink/source four LS TTL inputs. It can drive MOS inputs without external pull-ups.
29	PSEN	Program Store Enable output: read strobe to the external Program Memory. It is activated twice each machine cycle during fetches from external Program Memory. When executing out of external Program Memory two activations of PSEN are skipped during each access to external Data Memory. PSEN is not activated (remains HIGH) during fetches from Internal Program Memory.

DEVELOPMENT DATA

Annexe N°3 document constructeur du circuit 80C32 2/2

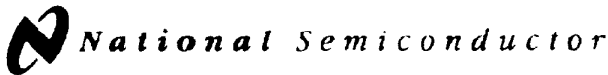
CMOS single-chip 8-bit microcontrollers

80C32/80C52/87C52

PINNING (continued)

30	ALE	Address Latch Enable output: latches the low byte of the address during accesses to external memory in normal operation. It is activated every six oscillator periods except during an external data memory access.
31	EA	When EA is held at a TTL high level the CPU executes out of the internal Program Memory (ROM), provided the Program Counter is less than 8192. When EA is held at a TTL low level the CPU executes out of external Program Memory. EA does not float.
32-39	P0.7-P0.0	Port 0: 8-bit open drain bidirectional I/O port. It is also the multiplexed low-order address and data bus during accesses to external memory (during these accesses it activates internal pull-ups). It also outputs code bytes during program verification. (External pull-ups are required during program verification. Port 0 can sink (and in bus operations can source) eight LS TTL inputs.
40	V <sub>CC</sub>	Power Supply: + 5 V power supply pin during normal operation.

BEP des métiers de l'électronique



August 1996

## NM93CS06/CS46/CS56/CS66 (MICROWIRE™ Bus Interface) 256-/1024-/2048-/4096-Bit Serial EEPROM with Data Protect and Sequential Read

### General Description

The NM93CS06/CS46/CS56/CS66 devices are 256/1024/2048/4096 bits, respectively, of CMOS non-volatile electrically erasable memory divided into 16/64/128/256 16-bit registers. Selected registers can be protected against data modification by programming the Protect Register with the address of the first register to be protected against data modification (all registers greater than, or equal to, the selected address are then protected from further change). Additionally, this address can be "locked" into the device, making all future attempts to change data impossible. These devices are fabricated using National Semiconductor floating-gate CMOS process for high reliability, high endurance and low power consumption. The NM93CSXX Family is offered in both SO and TSSOP packages for small space considerations.

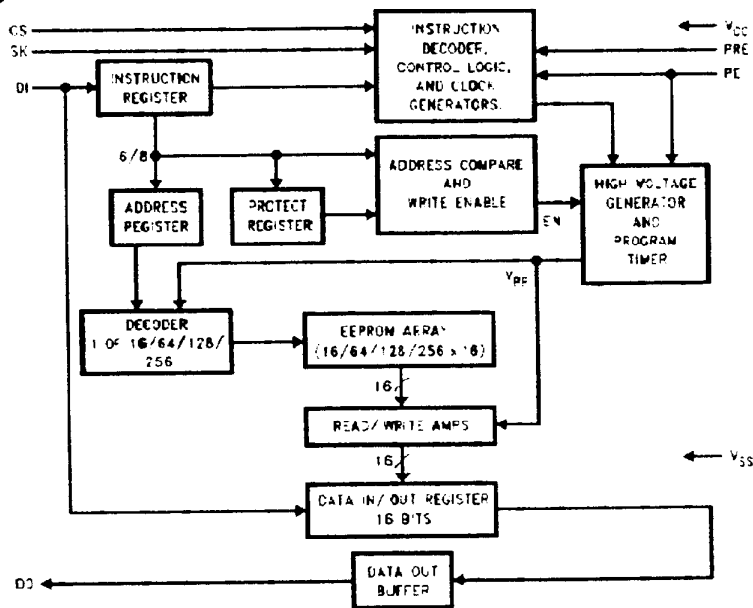
The EEPROM interfacing is MICROWIRE compatible providing simple interfacing to standard microcontrollers and microprocessors. There are a total of 10 instructions, 5 which operate on the EEPROM memory, and 5 which operate on the Protect Register. The memory instructions are

READ, WRITE, WRITE ALL, WRITE ENABLE, and WRITE DISABLE. The Protect register instructions are PRREAD, PRWRITE, PRENABLE, PRCLEAR, and PRDISABLE.

### Features

- Write protection in a user defined section of memory
- Sequential register read
- Typical active current of 200  $\mu$ A and standby current of 10  $\mu$ A
- No erase required before write
- Reliable CMOS floating gate technology
- MICROWIRE compatible serial I/O
- Self timed write cycle
- Device status during programming mode
- 40 year data retention
- Endurance:  $10^6$  data changes
- 4.5V to 5.5V operation in all modes of operation
- Packages available: 8-pin SO, 8-pin DIP, 8-pin TSSOP

### Block Diagram



T.L.D:10750-1

©1996 National Semiconductor Corporation. All rights reserved. MICROWIRE™ is a trademark of National Semiconductor Corporation.

1996 National Semiconductor Corporation T.L.D:10750

©1996 National Semiconductor Corporation

http://www.national.com

NM93CS06/CS46/CS56/CS66 (MICROWIRE Bus Interface) 256-/1024-/2048-/4096-Bit Serial EEPROM with Data Protect and Sequential Read

# BEP Métiers de l'électronique

## Session 2002

### Épreuve EP3

**Paragraphe D : étude des fonctions FS 3.1 et FS 3.2**

**Question D1 :**

**l'intégralité de la question est rédigée sur les pages 11 et 12.**

<b>GROUPEMENT INTER ACADÉMIQUE II Secteur 5</b>		
<b>Épreuve : EP 3 : Analyse des structures électroniques appartenant à un objet technique</b>		
<b>Temps alloué : 4h</b>	<b>Coefficient : 4</b>	<b>SESSION 2002</b>
		<b>BEP Métiers de l'électronique</b>
<b>Ce document comporte :1 feuille - page:1 / 1</b>		<b>SUJET</b>